

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 07022601  
PUBLICATION DATE : 24-01-95

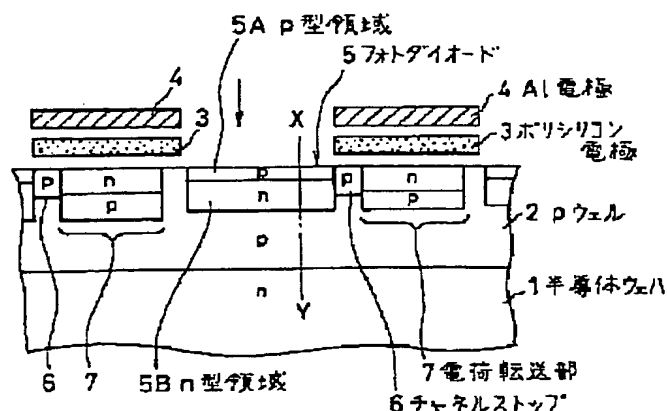
APPLICATION DATE : 23-06-93  
APPLICATION NUMBER : 05151672

APPLICANT : SONY CORP;

INVENTOR : MATSUNO TOMOYUKI;

INT.CL. : H01L 27/148 H04N 5/335

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To make constant a substrate voltage between semiconductor substrates by a method wherein a dose of impurity is corrected by an ion implantation so as to make a stored electric charge amount in an electric charge store part a set value by measuring resistivity of the semiconductor substrate.

CONSTITUTION: Resistivity of a sheet of wafer in a lot to be initially processed is measured. Next, a dose of n-type impurity of a wafer is calculated based on a measured value. Next, a dose of p-type impurity of a p well 2 is decided from the dose of the n-type impurity of the wafer. The dose of the p-type impurity is decided according to the relation of potential and a photodiode 5 formed in the p well 2, and decided so that an electric charge store amount in an electric charge store part can be made constant. Next, an ion implantation is controlled to form the p well so that the entire wafer of lots can become an appropriate dose. Thus, a substrate voltage can be non-regulated and also stabilized.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-22601

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/148

H 0 4 N 5/335

Z

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21)出願番号 特願平5-151672

(22)出願日 平成5年(1993)6月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 松野 知之

長崎県諫早市津久葉町1883-43 ソニー長

崎株式会社内

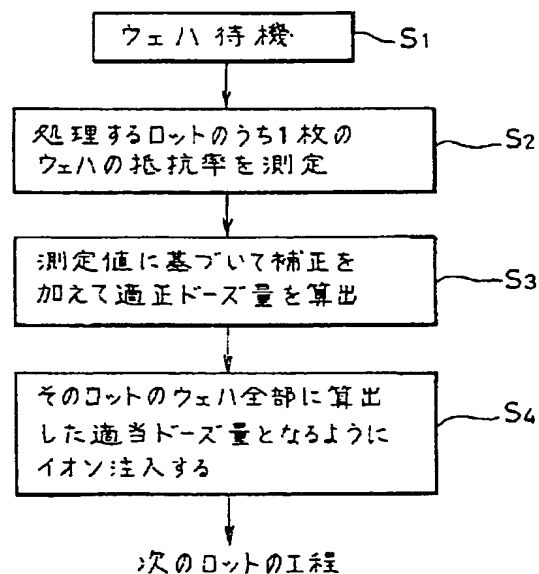
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 基板電圧 ( $V_{sub}$ ) 無調整化できる半導体装置の製造方法を提供する。

【構成】 ウェルをイオン注入で形成する前に、ロットのうち1枚のウェハの抵抗率を測定し、その測定値に基づいて、ウェハの適性ドーズ量を算出する。この算出ドーズ量となるように、全ウェハのウェルのイオン注入を行う。他のロットも同様のことを行う。このようにすることにより、ウェハの基板電圧を安定化することが可能となる。



## 【特許請求の範囲】

【請求項1】 半導体基板にイオン注入を行ってウェルを形成し、該ウェルに電荷蓄積部を形成する半導体装置の製造方法において、前記半導体基板の抵抗率を測定し、該抵抗率の測定値に基づいて、該電荷蓄積部の蓄積電荷量が設定量になるように、前記イオン注入による不純物のドーズ量に補正を加えてウェルを形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置の製造方法に関し、特に、半導体基板にウェルが形成される半導体装置の製造分野で利用することができる。

【0002】

【従来の技術及び発明が解決しようとする課題】従来、ウェルが形成される半導体装置として例えば固体撮像デバイスがある。図3は、n型半導体ウェルに形成された、縦型オーバーフローレイン構造をもつCCDイメージセンサの断面説明図である。同図中、1はn型の半導体ウェルであり、このウェル1にはイオン注入によってpウェル2が形成されている。また、pウェル2の表面には、絶縁膜（図示省略する）を介してポリシリコン電極3、A1電極4が所定のパターンに形成されている。そして、pウェル2の、電極パターンの間の領域に、受光部としてのフォトダイオード5が形成されている。このフォトダイオード5は、pウェル2の表面側から内部に向けてp型領域5Aとn型領域5Bとが順次形成されてなる。フォトダイオード5の一側部には、チャネルストップ6が形成されている。また、ポリシリコン電極3の下方には、チャネルストップ6に隣接して電荷転送部7が形成されている。図4は、図3に示す線X-Yで切った部分のポテンシャルプロファイルを示している。この図から判るように、図3に示すn型領域5Bに電荷が蓄積するようになっている。ここで、図4に示すように、pウェル2部分のポテンシャルエネルギーを $\phi_{eff}$ とし、図5に示すように、各接合部の空乏領域の容量を $C_1$ 、 $C_2$ 、 $C_3$ とする。従来、 $\phi_{eff}$ は、蓄積電荷量 $Q_1$ を一定化するため、この $\phi_{eff}$ をチップ毎に基板電圧 $(V_{ss})$ で調節している。この $\phi_{eff}$ に対する最も大きなパラメータは、図5に示す容量 $C_3$ である。この容量 $C_3$ を決定する要因は2つある。一つは、pウェル2の不純物のドーズ量であり、他の一つは、n型半導体ウェル $(n_{ss})$ 1の不純物のドーズ量である。このうち、pウェル2のドーズ量は、イオン注入によって制御されているのに対し、より空乏層の広がるn型半導体ウェル1のドーズ量は値に幅をもっており、基板電圧 $(V_{ss})$ の安定化という点では管理されていないに等しかった。図6に示すように、引き上げたインゴットiの下端側A、中間部B、上端側Cの部分からスライスさ

れるウェルにおけるドーズ量は微妙に異なっている。これは、ドーズ量がある幅で分布するためである。1つのインゴットから作成されるウェルの抵抗率と基板電圧 $(V_{ss})$ との関係を示したグラフである。このグラフから判るように、抵抗率に誤差幅をもっている。例えば、n型不純物のドーズ量が低い場合は、抵抗率が大きくなり、基板電圧 $(V_{ss})$ 値は大きくなる。このように、このドーズ量により、基板電圧が変化し、 $V_{ss}$ 値が不安定となる問題があった。

10 【0003】この発明が解決しようとする課題は、基板電圧の安定した半導体装置を製造するには、どのような手段を講じればよいかという点にある。

【0004】

【課題を解決するための手段】この発明は、半導体基板にイオン注入を行ってウェルを形成し、該ウェルに電荷蓄積部を形成する半導体装置の製造方法において、前記半導体基板の抵抗率を測定し、該抵抗率の測定値に基づいて、該電荷蓄積部の蓄積電荷量が設定量になるように、前記イオン注入による不純物のドーズ量に補正を加えてウェルを形成することを、解決手段としている。

【0005】

【作用】この発明においては、半導体基板の抵抗率の測定値からウェルのドーズ量が決定され、電荷蓄積部の蓄積電荷量が設定量となる。この設定量は、半導体基板間で同じであり、ウェルのイオン注入を制御することで作ることができる。このため、半導体基板間で基板電圧 $(V_{ss})$ を一定にすることができる。

【0006】

【実施例】以下、この発明に係る半導体装置の製造方法を図面に示す実施例に基づいて説明する。

【0007】本実施例は、半導体装置としてのCCDイメージセンサの製造に本発明を適用した例である。先ず、本実施例の方法では、図1に示すように、インゴットから切り出された例えばn型のウェル（半導体基板）を1ロット25枚として複数のロットをイオン注入装置に投入するために待機させる。（ステップS<sub>1</sub>）。

【0008】次に、最初に処理するロットのうち1枚のウェルの抵抗率を測定する（ステップS<sub>2</sub>）。次に、この測定値に基づいて、ウェルのn型不純物のドーズ量を算出する。そして、ウェルのn型不純物のドーズ量から図3に示すpウェル2のp型不純物のドーズ量を決定する（ステップS<sub>3</sub>）。このp型不純物のドーズ量は、pウェル2に形成されるフォトダイオード5とのポテンシャルの関係で決定され、電荷蓄積部（n型領域5B）の蓄積電荷量を一定（設定値）にするように決める。

【0009】図2は、ウェルどうしの抵抗が $a > b$ であり、基板電圧 $(V_{ss})$ が $a > b$ の2つのCCDイメージセンサのポテンシャルプロファイルを示したものである。この図から判るように、 $a = b$ つまり $V_{sub}$ 値を同じにするには、pウェルの不純物ドーズ量を下げれば

よい。

【0010】このようにしてpウェルの適正ドーズ量を算出した後、そのロットのウェハ全部を適性ドーズ量となるように、イオン注入を制御して行ってpウェルを形成する(ステップS4)。1つのインゴットからは、約200~300枚のウェハがスライスできるため、1ロット25枚程度の範囲では、不純物の分布はほぼ均一であるため、1ロットのうち1枚のウェハを測定すればよい。

【0011】次に処理するロットも同様に1枚のウェハの抵抗率を測定し、その測定値に基づいて、全部のウェハのイオン注入を制御すればよい。

【0012】以上、実施例について説明したが、この発明は、CCDイメージセンサ以外の半導体装置に適用することが勿論可能である。

【0013】また、上記実施例においては、ウェハの抵抗率をロット毎に1枚を測定したが、インゴットから連続的に切り出された2ロット毎に一枚測定してもよく、または、インゴットの下端側、中間部、上端側の3つの領域で1枚ずつ測定してもよい。さらには、全ウェハを1枚毎に抵抗率を測定してもよい。

【0014】さらに、上記実施例においては、n型のウェハを用いたが、逆の導電型でも勿論適用可能である。

【0015】

【発明の効果】以上の説明から明らかなように、この発明によれば、従来1チップ毎に蓄積電荷量を設定量になるように調整していた基板電圧( $V_{sub}$ )を無調整化できる効果がある。このため、基板電圧値が安定化できる。

【図面の簡単な説明】

【図1】この発明の実施例を示すフローチャート。

【図2】この発明の実施例のポテンシャルプロファイルを示すグラフ。

【図3】CCDイメージセンサの断面説明図。

【図4】図3のX-Y方向のポテンシャルプロファイルを示すグラフ。

【図5】CCDイメージセンサの等価回路図。

【図6】インゴットの側面説明図。

【図7】引き上げインゴット内のウェハの抵抗率と基板電圧との関係を示すグラフ。

【符号の説明】

1…半導体ウェハ

2…pウェル

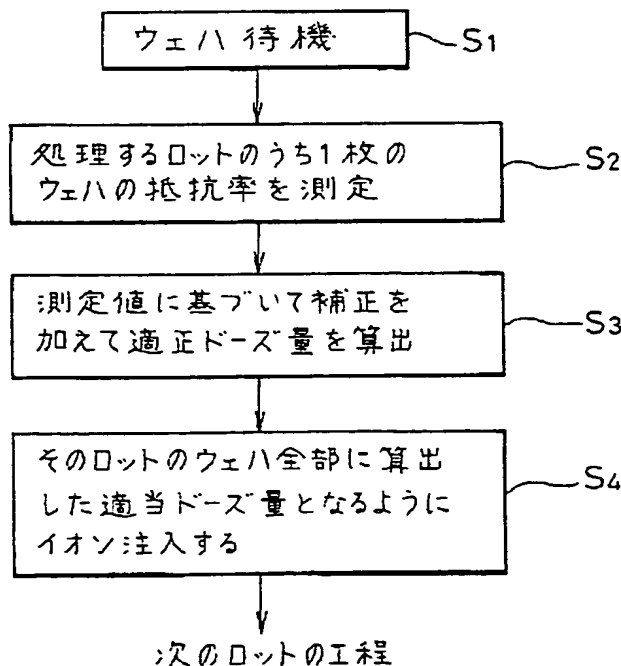
5…フォトダイオード

5A…p型領域

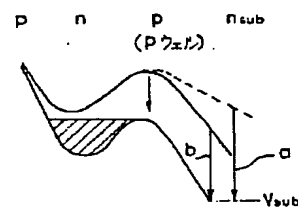
5B…n型領域

$Q_s$ …蓄積電荷量

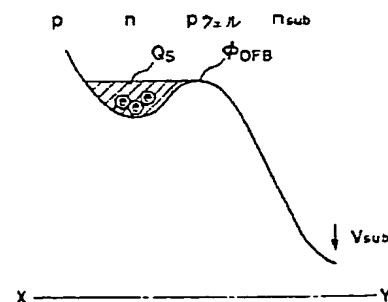
【図1】



【図2】



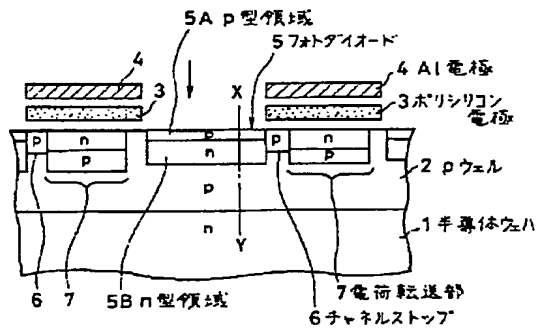
【図4】



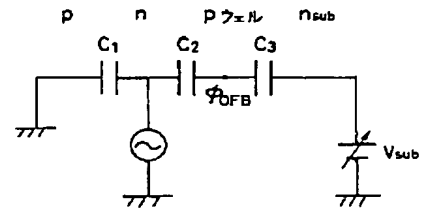
(4)

特開平7-22601

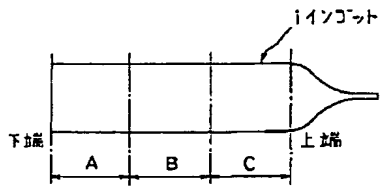
【図3】



【図5】



【図6】



【図7】

